

(1) Japanese Patent No. 3153921 (2001)

"METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE"

The following is a brief description of the invention disclosed in this publication.

[Claim 1] A method of manufacturing a semiconductor device including a resistor made of polycrystalline silicon, comprising the steps of:

forming a polycrystalline silicon film on an insulator;

implanting a predetermined amount of impurity ions related to resistivity of said resistor into said polycrystalline silicon film;

implanting silicon ions at a low temperature below -50°C to alter said polycrystalline silicon film to an amorphous silicon film;

patterning said amorphous silicon film into a predetermined shape and then forming an interlayer insulating film entirely thereon; and

performing heat treatment to recrystallize and alter said amorphous silicon film into polycrystalline silicon.

According to this invention, a semiconductor device can be obtained such as a Bipolar, MOS or BiCMOS type LSI with a polycrystalline silicon (Poly-Si) resistor having an almost uniform grain size and resistivity with a small range of variation. Further, since a polycrystalline silicon film is altered into an amorphous silicon film after implanting impurity ions that decide resistivity into the polycrystalline silicon film, this invention has an advantageous effect in that the possibility that the polycrystalline silicon is again rendered into an amorphous state and the grain sizes differ can be eliminated, ensuring a uniform grain size.

(19)日本国特許庁 (JP)

(12)特 許 公 報 (B2)

(11)特許番号

特許第3153921号

(P3153921)

(45)発行日 平成13年4月9日(2001.4.9)

(24)登録日 平成13年2月2日(2001.2.2)

(51)Int.Cl.⁷
H01L 27/04
21/822

識別記号

FI
H01L 27/04

P

請求項の数1 (全4頁)

(21)出願番号 特願平3-333600
(22)出願日 平成3年12月17日(1991.12.17)
(65)公開番号 特開平5-167016
(43)公開日 平成5年7月2日(1993.7.2)
審査請求日 平成10年12月15日(1998.12.15)

(73)特許権者 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 江尻 洋一
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(74)代理人 100090376
弁理士 山口 邦夫 (外1名)

審査官 大嶋 洋一

(56)参考文献 特開 昭58-91670 (JP, A)
特開 昭63-224324 (JP, A)
特開 昭62-120014 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)
H01L 27/04
H01L 21/822

(54)【発明の名称】半導体装置の製造方法

1

(57)【特許請求の範囲】

【請求項1】 多結晶シリコンからなる抵抗体を有する半導体装置の製造方法において、絶縁体上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜内に前記抵抗体の抵抗率に関連する不純物イオンを所定量注入する工程と、次に-50℃以下の低温度でシリコンをイオン注入して前記多結晶シリコン膜をアモルファスシリコン膜に変える工程と、前記アモルファスシリコン膜を所定形状にパターニング 10形成した後、全面に層間絶縁膜を形成する工程と、熱処理することによって前記アモルファスシリコン膜を再結晶化して多結晶シリコンに変える工程と、を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

2

【0001】

【産業上の利用分野】本発明は半導体装置及びその製造方法に係り、特にシリコン(Si)のグレーンサイズ(粒径)を均一にして抵抗率の変動を低減させた多結晶シリコン(ポリシリコン: Poly-Si)を用いた半導体装置の製造方法に関するものである。

【0002】

【従来の技術】ポリシリコンは、MOSデバイスにおいてゲート電極としてよく用いられるが、その他抵抗体としても用いられる。このPoly-Si抵抗体はシリコンを熱分解する減圧CVD法等によって絶縁膜上に選択的に堆積形成することができるため、微細化可能、寄生容量小、基板バイアス効果耐性大等の利点を有する。従って、単結晶シリコン(Single Si)中への不純物の拡散を利用して形成する拡散抵抗体と比較してPoly-

Si抵抗体は有利であり、広く利用されている。

【0003】しかし、一方Poly-Si抵抗体は、形成されるPoly-Si膜の線幅、膜厚、導入される不純物濃度、グレインサイズ（粒径）、グレインバウンダリー（粒界）等抵抗値を決定するパラメータが多く抵抗精度の点では不利である。

【0004】上記抵抗値を決定するパラメータのうちグレインサイズは、製造プロセス工程中の熱処理によって成長（粗大化）が進む。

【0005】Poly-Siのグレイン成長は、成長前の結晶性に左右されるが、その結晶性をコントロールすることは困難であり、抵抗値のバラツキを招く。

【0006】

【発明が解決しようとする課題】グレインサイズの均一化は、アモルファス（非晶質）シリコンを再結晶することによって可能である。

【0007】従来、ポリシリコン等のSi層中にある種のイオンをイオン注入（II）することによって一部をアモルファス層に変える技術は知られている。しかしながらこのようにして形成されたアモルファス層は多くの結晶欠陥を含む構造を有するものであって、完全なアモルファス層とは言えない。従って、従来は抵抗率の精度の向上は、グレインサイズのコントロールという面からはなかなか困難であった。

【0008】そこで本発明は、Poly-Siのグレインサイズのコントロールという面から抵抗率の変動を低減したPoly-Si抵抗体を有する半導体装置の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題は本発明によれば、多結晶シリコンからなる抵抗体を有する半導体装置の製造方法において、絶縁体上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜内に前記抵抗体の抵抗率に関連する不純物イオンを所定量注入する工程と、次に -50°C 以下の低温度でシリコンをイオン注入して前記多結晶シリコン膜をアモルファスシリコン膜に変える工程と、前記アモルファスシリコン膜を所定形状にパターンニング形成した後、全面に層間絶縁膜を形成する工程と、熱処理することによって前記アモルファスシリコン膜を再結晶化して多結晶シリコンに変える工程と、を含むことを特徴とする半導体装置の製造方法によって解決される。

【0010】

【0011】

【作用】本発明によれば、抵抗体を構成するポリシリコン（Poly-Si）を一旦、 -50 以下の低温（アモルファス化及び実作業性の点から -200°C 程度が最も好ましい）でSiイオン（Si⁺）を注入しているため、Poly-Siがほぼアモルファス（非晶質）シリコン（a-Si）に変化する。 -50°C 以上の高温で

は、ボイドの発生や多結晶シリコンが完全にアモルファス化されない等の不具合を生ずる。

【0012】従って、この後、再結晶するための熱処理を行うとアモルファス状態からの各々の結晶成長速度がほぼ一定となるため、熱処理後得られるPoly-Siのグレインサイズはほぼ均一なものが得られる。このようにほぼ均一なグレインサイズのPoly-Siを得ることができるため、抵抗率の変動要因の一つをコントロールすることができる。

【0013】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0014】図1は本発明に係る多結晶シリコン（Poly-Si）抵抗体の一実施例を示す断面図である。

【0015】図1に示すように、本実施例の抵抗体が、SiO₂からなるLOCOS酸化膜1上にPoly-Si6によって構成されている。Poly-Si6の配線方向端部には、層間絶縁膜としてのSiO₂膜5を介して電極10a、10b（コンタクトホール7a、7b）が形成されている。

【0016】抵抗体としてのPoly-Si6は後に詳述するが、厚さが150nmであり、所定の抵抗値を得るためにBF₃⁺がイオン注入されている。

【0017】また、本実施例の抵抗体は図示していないが、MOS Tr等に好ましく構成される。

【0018】図2は、図1に示した一実施例の前半工程断面図である。

【0019】図2（a）に示すように、通常プロセスフローに沿ってLOCOS酸化膜1上に、CVD（化学的気相成長）法により150nmの厚さにポリシリコン（Poly-Si）を堆積してPoly-Si膜2を形成する。Poly-Si2膜はPoly-Si抵抗体形成用の膜である。

【0020】Poly-Si膜2を形成した後、図2（b）に示すように、通常のイオン注入（II）技術によりフッ化ボロンイオン（BF₃⁺）を所望の抵抗率に対応した濃度分、例えばドーズ（dose）量、 $1 \times 10^{11} \sim 5 \times 10^{11} / \text{cm}^2$ 注入エネルギー30KeVで全面に注入する。この際、図示はしないが電極取り出し部には、レジストマスクを用いて高濃度に注入する。

【0021】次に図2（c）に示すように、低温イオン注入法を用いて -200°C の低温条件下でシリコンイオン（Si⁺）を、ドーズ量 $5 \times 10^{11} / \text{cm}^2$ 、注入エネルギー70KeVで全面に、注入する。この低温イオン注入によってPoly-Si膜2は、ほぼアモルファス化し、アモルファスシリコン（a-Si）膜2aが形成される。

【0022】次に、フォトリソ技術及びRIEエッチングによってa-Si膜2aを所定形状パターンにカットして、図3（a）に示すように、a-Si膜パターン2

bを形成する。その後、層間絶縁膜として全面に二酸化シリコン (SiO_2) をCVD法により300~400 nmの厚さに堆積して、 SiO_2 膜5を形成し、次に通常のプロセスフローにより図示はしないが、他の素子 (例えばMOSトランジスタ) を形成する。その後、600°C程度の温度でアニール (Furnace Anneal, ランプ Anneal あるいは レーザー Anneal等) 処理を施してa-Si膜パターン2bの再結晶化及び結晶成長を起こさせ、図3 (b) に示すようにPoly-Si6に変化させる。この結晶成長は、注入不純物イオン (ドーパント) の BF_3 中のフッ素 (F) の影響により留まる。このアニール処理による再結晶化では、Poly-Siグレインサイズは、ほぼ均一の大きさになった。これは、Poly-Siが低温IIによってアモルファス (非晶質) 化された結果、結晶化に全く差がない状態から結晶成長を起こさせることができるからである。

【0023】次に図3 (c) に示すように、絶縁膜の SiO_2 膜5の2箇所にコンタクトホール7a、7bを形成した後、全面にスパッタ蒸着法によりTi/TiN/Al-SiあるいはPoly-Si/WSix (タングステンシリサイド) 等の各々多層構造メタル10を形成し、リングラフィ技術により該メタルをパターニングして図1に示したように、電極10a、10bを形成する。

【0024】このようにして、グレインサイズがほぼ均一で、バラツキが小さく高精度のPoly-Si抵抗体を有するMOSトランジスタを完成させた。

【0025】一方、電極取り出し部のPoly-Siについても低温IIそしてアニールの如き同様の方法を用いて高精度で高性能なPoly-Siデバイスが実現さ

れる。

【0026】

【発明の効果】以上説明したように、本発明によればグレインサイズがほぼ均一で抵抗率のバラツキが少ない多結晶シリコン (Poly-Si) 抵抗体を有するBi polar型、MOS型及びBi CMOS型 LSI等の半導体装置を得ることができる。また、多結晶シリコン膜内に抵抗率を決める不純物イオンを注入した後に多結晶シリコン膜をアモルファスシリコン膜に変えるので、多結晶シリコンが再度アモルファス化して、グレインサイズが異なるものとなる可能性がなく、グレインサイズを確実に均一にすることができるという特有の効果がある。

【図面の簡単な説明】

【図1】本発明に係るPoly-Si抵抗体の一実施例を示す断面図である。

【図2】図1に示した一実施例の前半工程断面図である。

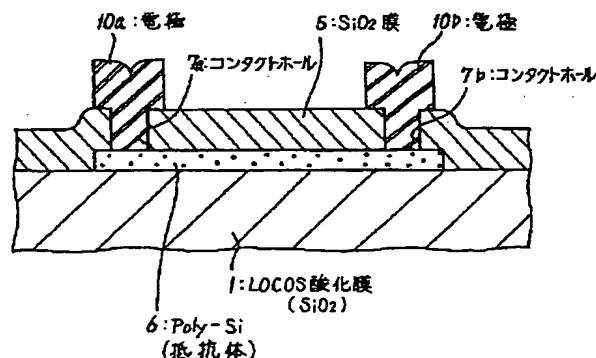
【図3】図1に示した一実施例の後半工程断面図である。

【符号の説明】

- 1 LOCOS酸化膜 (SiO_2)
- 2 Poly-Si膜
- 2a アモルファスシリコン (a-Si) 膜
- 2b a-Si膜パターン
- 5 SiO_2 膜
- 6 Poly-Si
- 7a, 7b コンタクトホール
- 10 多層構造メタル
- 10a, 10b 電極

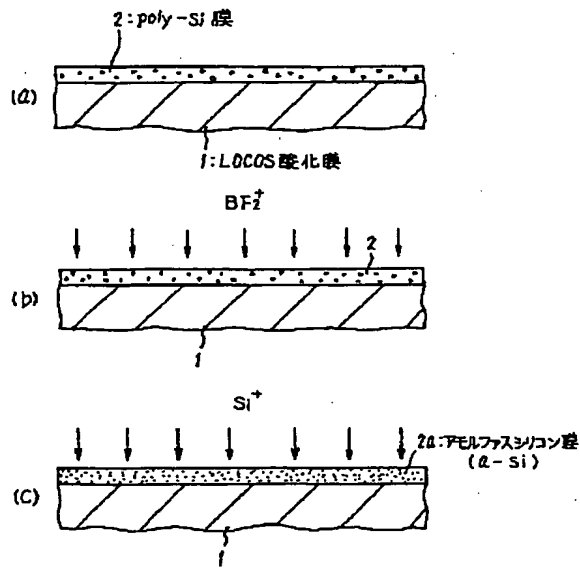
【図1】

本発明のpoly-si抵抗体の一実施例断面図



【図 2】

図1の一実施例の前半工程断面図



【図 3】

図1の一実施の後半工程断面図

